特開2002-110951

(11)特許出屬公開番号

(P2007—710921A) (A3)公田 以供1年4月19日(9064-19)		
(F2002 — 1105)		19
(F2002 — 1105)	_	7
(F2002 — 1105)	2	1000
(F2002-	₹	19.0
(F2007)	7	ш
	2	¥
	₹	3
HENY (SP)	5	H
(H) (V/H)		п
(43) (4)		Ē
(8)		\$
		3

(***). (-12-1-12)	4M109	5F033	5F061			最終頁に続く
	ပ	æ	501P	۲	Д	全15 頁)
	21/12	95/12	23/12	88/13	21/90	#宋項の数16 OL
표 	H01L		.,	•	.,	#
						報遊職外
整列記号				-		
	21/12	21/56	21/3205	21/768	21/60	
51) Int.C.	H01L	٠				

双侧女 東京都港区虎ノ門1丁目7番12号 和京都港区虎ノ門1丁目7番12号 中電気工業株式会社 工業株式会社内 大力一种广 (11) 田間(12) (72)発明者 **棒間2000-304720(P2000-304720)** 平成12年10月 4 B (2000, 10.4) (21) 出版番号 (22) 土田町日

100089093 (74)代理人

41109 AA02 BA07 CA04 CA21 **井理士 大西 健治** トターム(参考)

5F033 CC03 HH11 HH18 JJ01 JJ11 J118 KKO1 MM5 NK30 NM6 PP15 0009 0010 0037 RR04 SS11 TT07 W07

5F081 AA02 BA07 CA04 CA21 CB05

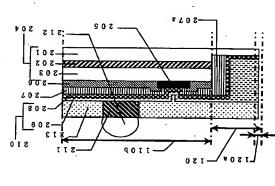
半導体装置及びその製造方法、半導体ウエハ及びそれにより製造される半導体装置

(54) [発明の名称]

【課題】半導体装置の裏面電位を固定するための導電局 パ設けられるエッジ領域を狭くする。

【解決手段】案子形成領域110を囲むエッジ領域12 0を有するペース用半導体基板201と、業子形成領域 110のペース用半導体基板201上に設けられる埋め 込み酸化膜202と、埋め込み酸化膜202上に散けら れる素子形成用半導体基板203と、素子形成用半導体 基板203及び埋め込み酸化膜202の第3の面とエッ ジ領域120のペース用半導体基板201の一部上とに 設けられる絶縁膜207と、電極パッド205上と絶縁 膜207上とエッジ領域120のペース用半導体基板2 10の導電局210上に散けられるポスト211と、ポ ポスト211の第3の面と導電層210を封止する封止 01上とに散けられる導電層210と、案子形成領域1 スト211の第1の面に散けられる球状電極212と、

節材213と、を有するものである。



【請求項1】 業子形成領域と該業子形成領域を囲むエ 前記案子形成領域の前記ペース用半導体基板の第1の面 ッジ領域とを有するペース用半導体基板と [特許請求の範囲]

前記埋め込み酸化膜の第1の面に設けられる素子形成用 に設けられる埋め込み酸化膜と、

前記案子形成用半導体基板上と、前記埋め込み酸化膜の 第3の面と、前記エッジ領域のペース用半導体基板の第

前記絶縁膜上と、前記エッジ領域のベース用半導体基板 の第1の面とに設けられる導電局と 1の面とに設けられる絶縁膜と、

前記導電層と電気的に接続されるように設けられる導電 性柱状部材と、 前記導電性柱状部材の第3の面と、前記導電肠とを封止

【開求項2】 請求項1記載の半導体装置であって、前 記ペース用半導体基板の第2の面に、第3の導電層を設 する封止部材とにより構成される半導体装置。

【請求項3】 案子形成領域と、該案子形成領域を囲む エッジ領域とを有するペース用半導体基板と、 けたことを特徴とする半導体装置。

前記案子形成領域の前記ペース用半導体基板の第1の面 前記埋め込み酸化膜の第1の面に設けられる素子形成用 に散けられる埋め込み酸化膜と、

前記案子形成用半導体基板上に設けられる電極パッド 半導体基板と

前記電極ペッドの一部と、前記案子形成用半導体基板上 前記電極ペッドの一部と、前記酸化膜上と、前記粜子形 3の面と、前記エッジ領域の前記ペース用半導体基板の 成用半導体基板の第3の面と、前記埋め込み酸化膜の第 に散けられる酸化膜と

の前記ペース用半導体基板の第1の面とに設けられる導 前記電極ペッドよと、前記絶縁膜上と、前記エッジ領域 第1の面とに設けられる絶縁膜と

前記案子形成領域の前記導電層と電気的に接続されるよ 前記導電性柱状部材の第1の面に設けられる球状電極 うに散けられる導電性柱状部材と

する封止部材と、により構成されることを特徴とする半 前記導電性柱状部材の第3の面と、前記導電層とを封止 導体装置。

前記導電路は、前記エッジ領域の前記ベース用半導体基 【請求項4】 請求項3記載の半導体装置であって、 板の第1の面の一部に散けられ、

前記封止部材は、前記エッジ領域の前記ペース用半導体 基板の第1の面を封止することを特徴とする半導体装 【請求項5】 請求項3若しくは請求項4記載の半導体

装置であって、前記ペース用半導体基板の第2の面に、 第3の導電層を設けたことを特徴とする半導体装置。

ブ領域に囲まれた複数個の半導体装置からなる半導体ウ 【請求項6】 絶縁膜を介して案子形成領域を囲むエッ エハかあって、

前記エッジ領域の前記半導体装置は、該ベース用半導体 前記素子形成領域の前記半導体装置は、ペース用半導体 基板の第1の面に埋め込み絶縁膜を介して素子形成用半 導体基板が散けられ、

基板の第1の面に導電層が散けられたことを特徴とする 【請求項7】 請求項6記載の半導体ウエハであって、 半導体装置。

【請求項8】 請求項7記載の半導体ウエハを用いた半 前記ペース用半導体基板の第2の面に、第3の導電層を 散けたことを特徴とする半導体ウエハ。

導体装置であって、

前記半導体装置は、前記半導体ウェハを前記エッジ領域 で切断することによって製造されることを特徴とする半 導体装置。 【請求項9】 案子形成領域と該案子形成領域を囲むエ 埋め込み酸化膜を介して素子形成用半導体基板を設けた 前記素子形成領域の前記案子形成用半導体基板上に電極 ッジ領域とを有するベース用半導体基板の第1の面に、 半導体基板を有する半導体ウエハを準備する工程と、 パッドを設ける工程と

前記電極パッドの一部と前記案子形成用半導体基板上 に、酸化膜を散ける工程と

前記エッジ領域の前記酸化膜と前記案子形成用半導体基 板と前記埋め込み酸化膜を削り、前記ペース用半導体基 板を腐出させる工程と、 前記電極ペッドの一部と、前記酸化膜上と、前記露出さ れた素子形成用半導体基板及び埋め込み酸化膜の第3の 面と、前記戯出されたペース用半導体基板の第1の面と に絶縁膜を散ける工程と

前記電極ペッド上と、前記絶縁膜上と、前記露出された ペース用半導体基板の第1の面とに導電局を設ける工程

前記業子形成領域の前記導電層と電気的に接続されるよ うに導電性柱状部材を設ける工程と

前記導館性柱状部材の第1の面に球状電極を設ける工程 前記導電性柱状部材の第3の面及び前記導電層を封止す

前記エッジ領域に沿って、前記半導体ウエハを切断する 工程とを有することを特徴とする半導体装置の製造方 る工程と

請求項9記載の半導体装置の製造方法 であって、前記ペース用半導体基板の第2の面に第3の 導電層を形成する工程を有することを特徴とする半導体 [請求項10]

装置の製造方法。

8

3

【請求項11】 素子形成領域と、該案子形成領域を囲 前記案子形成領域の前記ペース用半導体基板の第1の面 ひエッジ領域とを有するベース用半導体基板と、 こ設けられる埋め込み酸化膜と

前記埋め込み酸化膜の第1の面に設けられる素子形成用

前記案子形成用半導体基板上に設けられる電極ペッド

前記電極パッドの一部と、前記案子形成用半導体基板上 に設けられる酸化膜と、 前記電極ペッドの一部と、前記酸化膜上と、前記素子形 と、前記エッジ領域の前記ペース用半導体基板の第1の **成用半導体基板上と、前記埋め込み酸化膜の第3の面 画とに設けられる絶縁膜と、**

前記電極パッド上と、前記絶縁膜上とに散けられる第1

前記絶縁膜上と前記案子形成用半導体基板及び前記埋め 込み酸化膜の第3の面と前記エッジ領域の前記ペース用 半導体基板の第1の面とに設けられ、前記第1の導電層 とは電気的に接続していない第2の導電層と、

前記第1の導電層と電気的に接続されるように設けられ る第1の導電性柱状部材と 前記第2の導電層と電気的に接続されるように設けられ る第2の導電性柱状部材と

前配第2の導電性柱状部材の第1の面に設けられる第2 の球状電極と

の球状電極と、

前記第1の導電性柱状部材の第1の面に設けられる第1

第1及び第2の導電層とを封止する封止部材とにより構 前記第1及び第2の導電性柱状部材の第3の面と、前記 **成されることを特徴とする半導体装置。**

【請求項12】 請求項11記載の半導体装置であっ

前記第2の導電層は、前記エッジ領域の前記ベース用半 前記封止部材は、前記エッジ領域の前記ペース用半導体 尊体基板の第1の面の一部に設けられ、

半導体装置であって、前記ペース用半導体基板の第2の 【請求項13】 請求項11若しくは請求項12記載の 面に、第3の導電層を設けたことを特徴とする半導体装 基板の第1の面を封止することを特徴とする半導体装

【請求項14】 請求項11記載の半導体装置であっ

前記素子形成領域は、前記電極パッドを有する第1の領 域と、前記エッジ領域と隣接する第2の領域とに分割さ れ、眩第1の領域と該第2の領域は、前記絶縁膜から前 記埋め込み酸化膜まで至る第2の絶縁膜を介して隣接す ることを特徴とする半導体装置。

【請求項15】 請求項14記載の半導体装置であっ

前記第2の導電層は、前記エッジ領域の前記ペース用半 前記封止部材は、前記エッジ領域の前記ペース用半導体 単体基板の第1の面の一部に設けられ、

【請求項16】 請求項14若しくは請求項15記載の ド導体装置であって、前記ペース用半導体基板の第2の 基板の第1の面を封止することを特徴とする半導体装

面に、第3の導電層を設けたことを特徴とする半導体装

【発明の詳細な説明

技術に関し、特に、SOI (Silicon on In sulator)基板を有し、半導体装置の裏面電位を とることのできる半導体装置と、その製造方法、及びそ [発明の属する技術分野] 本発明は、半導体装置の製造 の半導体装置により構成される半導体ウエハに関する。 [0002]

0とを有する。ここで、素子形成領域1800と基板電 位取出し領域1820との間には、絶縁分離層1805 る導電層1806を設けている。それにより、従来の半 蓴体装置は、半導体層1803側から、電極1807及 **特開平11-354631号公報に記載されている。こ** 断面図である。従来の半導体装置は、半導体支持基板1 に取り囲まれている。従来の半導体装置は、基板電位取 出し領域1820内に、半導体層1803からシリコン 酸化膜1802を貫通し半導体支持基板1801に達す 位が供給されている。よって、半導体支持基板1801 【従来技術】 従来のSOI 基板を有する半導体装置は、 の従来の半導体装置について、図面を用いて説明する。 が形成されている。そして、素子形成領域1800は、

801上にシリコン酸化膜1802を介して、半導体層 1803が設けられる半導体基板1804を有する。半 尊体基板1804は、トランジスタなどの回路を形成す るための素子形成領域1800と、半導体支持基板18 01の電位を固定するための基板電位取出し領域182 この絶縁分離層1805に隣接し、絶縁分離層1805 び導電層1806を介して半導体支持基板1801に電 [0003] 図18は、従来の半導体装置の構成を示す の電位は、固定されている。

[0004]

【発明が解決しようとする課題】しかしながら、図18 に示されるように、従来の半導体装置において、導電層 03が存在し、導電層1806と半導体装置のエッジ部 5。そのため、基板電位取出し領域は、その半導体層の 1806と絶縁分離图1805との間には半導体图18 り、従来の半導体装置において、基板電位取出し領域内 福だけ、広くなるという問題点がある。この問題点は、 に形成される導電層は、半導体層によって囲まれてい 分との間にも半導体層1803が存在している。つま

り、素子形成領域以外の領域を狭くする技術が要求され い。なぜなら、ウエハレベルCSPと呼ばれる半導体装 置は、チップサイズとほとんど同じ幅のペッケージであ Level Chip Size Package) と呼 近年考えられているウエハレベルCSP (Wafer ばれる半導体装置においては、回避しなければならな

【0005】本発明は、半導体装置の半導体支持基板の をできる限り狭くする半導体装置を提供することを目的 **電位(裏面電位)を固定するための基板電位取出し領域**

[0000]

【課題を解決するための手段】本願において開示される 発明のうち、代表的なものの概要を簡単に説明すれば、 以下のとおりである。 【0007】 すなわち、本発明の半導体装置は、菜子形 ス用半導体基板と、案子形成領域のベース用半導体基板 の第1の面に設けられる埋め込み酸化膜と、埋め込み酸 れる絶縁膜と、絶縁膜上とエッジ領域のベース用半導体 基板の第1の面とに設けられる導電層と、導電層と電気 電性柱状部材の第3の面と導電層とを封止する封止部材 成領域と素子形成領域を囲むエッジ領域とを有するベー 素子形成用半導体基板上と埋め込み酸化膜の第3の面と エッジ領域のベース用半導体基板の第1の面とに設けら 的に接続されるように設けられる導電性柱状部材と、導 化膜の第1の面に設けられる素子形成用半導体基板と、 とを有するものである。

領域をできる限り狭くする半導体装置を提供することが 【0008】上記の手段によれば、半導体装置の裏面電 位を固定するための導電層が形成させる基板電位取出し

[6000]

【0010】ここで、本発明の各実施の形態を説明する [発明の実施の形態] 以下、本発明の実施の形態を図面 に基づいて詳細に説明する。 なお、本発明の実施の形態 を説明するための全図において、同一機能を有するもの 前に、図1を用いて、本発明の各実施の形態の半導体装 置とウエハとの関係について説明する。本発明の各実施 (a) のA-A、線についての断面図である。なお、図 1 (b) は、簡略のため、素子形成用半導体基板203 上に形成されている酸化膜206等を省略している。本 発明の各実施の形態の半導体装置は、トランジスタなど の回路素子が形成される素子形成領域110と、素子形 成領域110を取り囲むエッジ領域120とを有してい る。そして、ウエハは、複数の半導体装置により構成さ れ、各々の半導体装置はエッジ領域を介して他の半導体 図1 (a) は、本発明の各実施の形態の半導体装置とウ エハとの関係を示す平面図である。図1(b)は、図1 は同一符号を付与し、その繰り返しの説明は省略する。 の形態の半導体装置は、ウエハ状態で製造されている。

装置と接続されている。ここで、素子形成領域110の 半導体基板204は、ベース用半導体基板201の第1 の面(例えば、上面)に埋め込み酸化膜202を介して り、素子形成領域110の素子形成用半導体基板203 とベース用半導体基板201との間には、絶縁性物質で ある埋め込み酸化膜202が存在する。よって、素子形 成領域110の半導体基板204は、SO1構造となっ ている。ここで、素子形成領域110は、エッジ領域1 20と隣接しない第1の領域110aと、エッジ領域1 る。エッジ領域120は、隣接する半導体装置を切り離 す (スクライブ) ための、スクライブライン120aを 有する。ウエハ状態で製造された本発明の各実施の形態 の半導体装置は、スクライブライン120aに沿ってダ イシングされることにより、図2、図5、図7か5図1 1及び図13から図17に示すような断面構造を有する 図7から図11及び図13は、個片化された半導体装置 における図1(a)のB-B、線についての断面図であ 個片化された半導体装置となる。ここで、図2、図5、 20と隣接する第2の領域110bとに分割されてい 案子形成用半導体基板203が形成されている。 つま

は、本発明の第1の実施の形態の半導体装置及びその製 造方法に係わる図である。図2は本発明の第1の実施の 形態の半導体装置の構造を示し、図3及び図4は本発明 の第1の実施の形態の半導体装置の製造工程を示してい る。なお、各図は、本発明の第1の実施の形態の半導体 装置のエッジ領域120及び素子形成領域110の第2 [0011] (第1の実施の形態) 図2から図4まで の領域1106の部分断面図である。 【0012】初めに、本発明の第1の実施の形態の半導 体装置の構成を説明する。本発明の第1の実施の形態の と、例えばアルミからなる電極パッド205と、酸化膜 206と、例えばポリイミドにより構成される絶縁膜2 と、例えばCu(銅)により構成される導電性柱状部材 211 (以下、ポスト211という) と、例えばはんだ により構成される球状電極212(以下、はんだボール 212という)と、樹脂若しくは金属からなる封止部材 半導体装置は、図2に示すように、半導体基板204 07と、再配線210 (以下、導電層210という) 213とにより構成されている。

【0013】半導体基板204は、ペース用半導体基板 201と、埋め込み酸化膜202と、素子形成用半導体 基板203とにより構成されている。 ベース用半導体基 板201は、素子形成領域110とエッジ領域120と を有している。ここで、埋め込み酸化膜202は、素子 形成領域110のペース用半導体基板201の第1の面 (例えば、上面) に設けられている。素子形成用半導体 ば、上面) に設けられている。なお、エッジ領域120 内のベース用半導体基板201の第1の面には、埋め込 基板203は、埋め込み酸化膜202の第1の面(例え

【0014】電極パッド205は、楽子形成用半導体基 返203上に設けられている。 【のの15】 酸化模206は、塩塩パッド205の第1 の面(倒えば、上面)の一部と、電極パッド205の第 3の面(倒えば、歯面)と、素子形成用半導体基板20 3上に酸けられている。 [0016] 絶縁版207は、電極パッド205の第1の面の一部と、酸化版206上と、エッジ領域120内のペース用半導体基板201の第1の面の一部とに設けられている。ここで、エッジ領域120内に設けられている維練限207の一部の絶縁膜207aは、第2の領域1105とエッジ領域120との境界に設けられている。そして、絶縁膜207aは、第2の領域110b内のペース用半導体基板201の第10面と、単め込み酸化膜202の第3の面(例えば、側面)と、素子形成用半薄体基板203の第3の面(例えば、側面)と、酸化膜205の第3の面(例えば、側面)と、酸化膜206の第3の面(例えば、側面)と、酸化

【0017】 導電圏210は、例えばTi(チタン)か と、例えばCu (鍋) からなる金属膜209 (以下、C いる。ここで、Ti金属膜208は、電極パッド205 と電気的に接続されている。また、エッジ領域120の 的に接続されている。Cu金属膜209は、Ti金属膜 ス用半導体基板201は、導電層210を介して、電極 パッド205と超気的に接続されている。ここで、第2 の領域1106のペース用半導体基板201の第1の面 からCu金属膜209までの高さと、エッジ領域120 層210がTi金属膜208とCu金属膜209とによ 07上に散けた場合、Cu金属膜209が剥がれる可能 u金属膜209という)とにより構成されている。Ti と、絶縁膜201、201a上と、エッジ領域120内 のベース用半導体基板201の第1の面とに設けられて Ti金属膜208は、ベース用半導体基板201と電気 208上に設けられている。Cu金属膜209は、Ti のペース用半導体基板201の第1の面からCu金属膜 209までの高さとは、ほぼ同じである。ここで、導電 り構成されている理由は、Cu金属膜209を絶縁膜2 性があるからである。そのため、Cu金屑膜209に比 ペで剥がれにくいT;金属膜208を絶線膜207上に 金属膜208と電気的に接続されている。 よって、ベー 散け、Ti金属膜208上にCu金属膜209を設けて らなる金属膜208(以下、Ti金属膜208という) 金属膜208は、電極パッド205の第1の面の一部

[0018] ポスト211は、 著子形成領域110のC u金属版209上に設けられている。ここで、ポスト2 11は、Cu金属度209と電気的に接続されている。 [0019] はんだポール212は、ポスト211の第

1の面 (例えば、上面) に設けられている。はんだボール212は、ポスト211と館気的に接続されている。 【0020】 對止部材213は、例えばエボキシ系樹脂により構成される封止樹脂若しくは、アルミ、ニッケル、編、ステンレス、セラミックなどの熱厄導の良い金属により構成されている。封止部材213は、紫子形成留域110及びエッジ領域120のCu金属概209と、ポスト211の第3の面(例えば、関面)とを封止している。ここで、ポスト211の第1の面は、対止部材213から露出している。 【0021】以上説明したように、エッジ領域1200平準体装置は、ペース用半導体誌板201と、導電層210と、封止部材213とにより構成されている。そして、等電局210はペース用半導体基板2010第1の面に設けられ、封止部材213は導電層210上に設けられている。

法について説明する。
[0023] 本発明の第1の実施の形態の半導体装置
は、はんだボール212を介して他の半導体装置と電気
的に接続され、はんだボール212を介して他圧が供給
される。そして、供給された電圧は、ポスト211、導 配層210及び粗極パッド205を介して、本発明の第 1の実施の形態の半導体装置の内部回路に供給される。 さらに、供給された電圧は、場配図210を介してペース用半導体基板201に供給される。よって、ペース用 半導体基板201の電位は、固定される。よって、ペース用 半導体基板201の電位は固定される。ここで、ペース用 半導体基板201の電位を固定するために、兼子形 成領域110の回路素子に供給される内部電圧を用いて もよい。この場合、内部電圧は、電極パッド205及び 導電配210を介してペース用半導体基板201に供給

【0024】本発明の第1の実施の形態の半導体装置に よれば、以下の効果を奏する。 【0025】(1) ベース用半導体基板201の電位を固定するための導電電210は、スクライブされる際に使用されるエッジ領域120に形成されている。そのため、本発明の第1の実施の形態の半導体装置は、エッジ領域120を狭く、素子形成領域110を広く構成することができる。よって、本発明の第10実施の形態の半導体装置は、従来の半導体装置に比べ、案子形成領域110に多くの回路系子を設けることができる。

[0026](2)エッジ領域120の導電圏210と 絶験版207aとの間には、業子形成用半導体基板20 3が存在しない。そのため、本発明の第1の実施の形態 の半導体装置は、エッジ領域120を投く構成すること ができる。よって、本発明の第1の実施の形態の半導体 数置は、従来の半導体装置に比べ、より小型化させた半 導体装置を提供することができる。

【0027】(3)はんだボール212を介して他の半海体装置と接続されたとき、はんだボール212を介して電圧が供給される。供給された電圧は、電極バッド205を介して本発明の第1の実施の形態の半導体装置の内部回路に供給されると共に、導電圏210を介してベース用半導体基板201に供給される。よって、本発明の第1の実施の形態の半導体装置は、ベース用半導体基板201の基板電位を固定することができる。

【0028】(4)エッジ領域120の半導体装置は、ペース用半導体基板2012、ペース用半導体基板2010と、ペース用半導体基板2010台にの第1の面に設けられた導น配210と、導電圏210上に設けられた対止部材213とにより構成されている。そのため、エッジ領域120の導電局210の第3の面(例えば、側面)は、臨出されている。よって、本発明の第1の実施の形態の半導体装置は、導む局210の際出した第3の面を介して他の半導体装置と接続した場合、他の半導体装置の5電圧を供給されること及び他の半導体装置に電圧を供給することができる。

【0029】次に、本発明の第1の実施の形態の半導体 装置の製造方法について説明する。本発明の第1の実施 の形態の半導体装置は、ウエハ状態で複数個同時に製造 される。図3及び図4は、図1 (a) のCーC、線についての断面図である。ここで、図3及び図4では、説明 いての断面図である。ここで、図3及び図4では、説明 の都合上、2つの半導体装置300、350が示されているが、2つに限定されないことは言うまでもない。以 下、特に、素子形成領域110の第2の領域110b及 びエッジ領域120において、半導体装置300が製造される12起について説明する。

【0030】初めに、図3(a)に示すように、ペース用半導体基板201の第1の面に埋め込み酸化模202を介して案子形成用半導体基板203を設けた半導体基板2044、素子形成領域110を取り囲むエッジ領域110とを有する。第2の領域110と内の業子形成用半導体基板203上に、電極パッド205を設ける。そして、電極パッド205の第1の面の一部と、素子形成用半導体基基板203上に、電極パッド206を設ける。表子形成用半導体基基板203上に、電極低少に206を設ける。

【0032】次に、図3(c)に示すように、CVD法を用いて、酸化膜206上と、電極バッド205の第1の面の一部とに絶縁膜207を設ける。また、同時に、CVD法を用いて、鍵出されたペース用半導体基板201の第1の面の一部と、露出された埋め込み検化膜20

2の第3の面と、露出された紫子形成用半導体基板203の第3の面と、8の第3の面と、8組された酸化版206の第3の面とに路線膜207aを設ける。ここで、絶縁膜207a

は、絶縁膜207の一部である。

【0033】次に、図3 (4) に示すように、スパッタ 法を用いて、電極パッド205の第1の面と、絶縁膜2 07上と、窮出されたペース用半導体基板201の第1 の面と、絶縁膜207a上とに下i金属膜208を設け 【0034】次に、図4 (a) に示すように、スパッタ 法を用いて、Ti金属膜208上に、Cu金属膜209を配ける。ここで、Cu金属膜209は、半導体基板204に形成された構が埋まるように設ける。つまり、楽子形成領域110及びエッジ領域120のCu金属膜209は、ほぼ水平となる。

【0035】次に、図4(b)に示すように、フォトリングラフィ花及びドライエッチ荘を用いて、第2の領域110bのCu金属模209上に、ポスト211を設ける。ここで、ポスト211は、Cu金属模209と電気的に接続されるように設けられる。

[0037] 次に、図4 (d) に示すように、戯出しているポスト211の第1の面にスクリーン印刷、はんだメッキ书しくはスーパーソルグリング方法を用いて、はんだメール212を搭載する。そして、ウエハをスクライブライン120aに沿ってダイシングし、図2に示されるような半導体装置を得る。ここで、封止部付213が場間の場合、始間の上面を全面エッチング(グラインド)し、ポスト211の第1の画を鑑出させる。

(10038) ここで、図3(b)及び四3(c)に示される工程において絶縁機207aを設けるときに、第1の節峻110aの案子形成用半導体基板203に絶縁膜207bを設ける。

[0039]本発明の第1の実施の形態の半導体装置の 製造方法によれば、以下の効果を奏する。 [0040](5)素子形成領域110の電極バッド205セポスト211とを電気的に接続させるための導電 層210を形成する工程において、エッジ領域120にベース用半導体基板201の電位を固定するための導電 層210を同時に設けることができる。加えて、第1の領域110aの素子形成用半導体基板203に絶縁膜207bを設ける工程において、エッジ領域120に絶縁 膜207aを同時に設けることができる。よって、エッ

(9)

ジ領域120に導電图210及び絶縁膜207aを散け るために新たな工程を設ける必要はない。そのため、本 発明の第1の実施の形態の半導体装置の製造方法は、従 来の半導体装置の製造方法に比べ、作業効率が良い。

【0041】(6)ウエハ状値で製造される複数の半導 **本装置は、エッジ領域120を介してお互いに接続され ジ領域120に形成される。よって、1つの工程で隣接** するすべての半導体装置の導電局210を同時に設ける ことができる。そのため、本発明の第1の実施の形態の 半導体装置の製造方法は、従来の半導体装置の製造方法 ている。そして、ベース用半導体基板201の電位を固 定するため導電層210は、複数の半導体装置間のエッ に比べ、作業効率が良い。

[0042] (第2の実施の形態) 図5及び図6は、本 発明の第2の実施の形態の半導体装置及びその製造方法 半導体装置の構造を示し、図6は本発明の第2の実施の 形態の半導体装置の製造工程を示している。なお、各図 は、本発明の第2の実施の形態の半導体装置のエッジ領 域120及び素子形成領域110の第2の領域110b に係わる図である。図5は本発明の第2の実施の形態の の部分断面図である。

ジ領域120の導電局210の韓出している面積は、狭 【0043】初めに、本発明の第2の実施の形態の半導 体装置の構造を説明する。図5に示すように、本発明の 第2の実施の形態の半導体装置では、エッジ領域120 の封止部材213の厚さは、第2の領域110bの封止 エッジ領域120の封止部材213と導電層210とが 接触している面積は、広くなっている。また、エッジ領 域120の半導体装置の側面において、封止部材213 の戯出している面積は、広くなっている。よって、エッ 部材213の厚さよりも厚く設けられている。よって、 くなったいる。

て得られる効果 (1) ~ (4) に加え、以下の効果を萎 【0044】本発明の第2の実施の形態の半導体装置に よれば、本発明の第1の実施の形態の半導体装置におい

【0045】(7) エッジ領域120の封止部材213 は、エッジ領域120の導電局210とエッジ領域12 と導電局210との接触面積が広く、アンカー効果が強 い。よって、本発明の第2の実施の形態の半導体装置 0の封止部材213とを剥離しにくくすることができ 【0046】(8) エッジ領域120の導電層210の 韓出面積は狭い。よって、本発明の第2の実施の形態の 半導体装置は、外気に触れる導電層210の面積を狭く し、導電局210の腐食を防ぐことができる。

【0047】次に、本発明の第2の実施の形態の半導体 装置を製造する方法について説明する。本発明の第2の 実施の形態の半導体装置を製造する方法においては、図 4 (a) のCu金属膜209を散ける工程を変え、図4

(a) の工程において、Cu金属膜209を厚く設けな い。つまり、エッジ領域120の半導体基板204の構 て、図6に示すように、封止部材213が、半導体基板 が埋まるように、Cu金属膜209を設けない。そし (c) の工程の代わりに図6に示す工程を行う。図4

[0048] 本発明の第2の実施の形態の半導体装置の 製造方法によれば、本発明の第1の実施の形態の半導体 装置の製造方法において得られる効果 (5) 及び (6) に加え、以下の効果を奏する。

204の溝を埋めるように散ける。

明の第2の実施の形態の半導体装置の製造方法は、導電 20gに沿ってスクライブする際に、封止部材213を [0049] (9) 半導体ウエハをスクライブライン1 多く削り、導電層210を少しだけ削る。よって、本契 **層210を傷つけずにスクライブすることができる。**

体装置のエッジ領域120及び素子形成領域110の第 [0050] (第3の実施の形態) 図7は、本発明の第 3の実施の形態の半導体装置に係わる図である。図7は いる。なお、図7は、本発明の第3の実施の形態の半導 本発明の第3の実施の形態の半導体装置の構造を示して 2の領域110bの部分断面図である。

【0051】図7に示すように、本発明の第3の実施の形 板201とが露出され、導電層210は露出されていな 低の半導体装置では、エッジ領域120の封止部材21 3は、ベース用半導体基板201の第1の面にもまた設 けられている。よって、エッジ領域120の封止部材2 13と導電層210とが接触している面積は、広くなっ ている。つまり、本発明の第3の実施の形態の半導体装 置のエッジ部分は、封止部材213とベース用半導体基

て得られる効果(1)~(4)に加え、以下の効果を奏 【0052】本発明の第3の実施の形態の半導体装置に よれば、本発明の第1の実施の形態の半導体装置におい

【0053】 (10) エッジ領域120の封止部材21 広く、エッジ領域120のペース用半導体基板201の 3は、エッジ領域120の導電層210との接触面積が よって、本発明の第3の実施の形態の半導体装置は、エ ッジ領域120の封止部材213を剥離しにくくするこ 第1の面に設けられているため、アンカー効果が強い。

【0054】 (11) エッジ領域120の導電局210 は、外気に触れていないので、水分と接触する機会が少 ない。よって、本発明の第3の実施の形態の半導体装置 は、導電層210の腐食を防ぐことができる。

【0055】(第4の実施の形態) 図8は、本発明の第

4の実施の形態の半導体装置に係わる図である。図8は 本発明の第4の実施の形態の半導体装置の構造を示して いる。なお、図8は、本発明の第4の実施の形態の半導 は装置のエッジ領域120及び素子形成領域110の第

2の領域1106の部分断面図である。

[0056] 図8に示すように、本発明の第4の実施の の導電層801という) と、例えばCu (鍋) により構 第2の球状電極806(以下、第2のはんだボール80 形態の半導体装置は、第2の再配線801(以下、第2 成される第2の導電性柱状部材805(以下、第2のポ スト805という)と、例えばはんだにより構成される 6という)とを有している。

02という)と、例えばCu (銅)からなる金属膜80 20のペース用半導体基板201の第1の面から第2の ン) からなる金属膜802 (以下、第2のTi金属膜8 3 (以下、第2のCu金属膜803という) とにより構 成されている。第2のTi金属膜802は、第2の領域 ス用半導体基板201の第1の面と、エッジ領域120 導体基板201と電気的に接続されている。第2のCu 金属膜803は、第2のTi金属膜802上に設けられ ている。第2のCu金属膜803は、第2のTi金属膜 802と電気的に接続されている。なお、導電局210 は、第2のCu金属膜803を絶縁膜207上に設けた 場合、第2のCu金属膜803が剥がれる可能性がある からである。そのため、第2のCu 金属膜803に比べ て剥がれにくい第2のTi金属膜802を絶縁膜207 の絶縁膜207a上とに設けられている。ここで、エッ ジ領城120の第2のT i 金属膜802は、ベース用半 Cu金属膜803までの高さとは、ほぼ同じである。こ こで、第2の導電图801が第2のTi 金属膜802と 上に設け、第2のTi金属膜802上に第2のCu金属 【0057】第2の導電層801は、例えばT; (チタ 110bの絶縁膜207上と、エッジ領域120のベー の面からCu金属膜209までの高さと、エッジ領域1 第2の領域1106のペース用半導体基板201の第1 (第1の導電層ともいう)と第2の導電層801とは、 電気的に接続されないように設けられている。ここで、 第2のCu金属膜803とにより構成されている理由 膜803を設けている。

【0058】第2のポスト805は、第2の領域110 bの第2のCu金属膜803上に設けられている。ここ で、第2のポスト805は、第2のCu金属膜803と 電気的に接続されている。

ト805の第1の面に散けられている。第2のはんだボ 一ル806は、第2のポスト805と電気的に接続され 【0059】第2のはんだボール806は、第2のポス

[0060] 封止節材213は、電極パッド205と電 気的に接続されている導電層210と、第2の導電層8 01とを電気的に接続しないように設けられている。

【0061】ここで、導電層210上に散けられている ポスト211を第1の導電性柱状部材とし、ポスト21 1の第1の面に散けられているはんだボール212を第 2の球状電極とする。

[0062] 次に、本発明の第4の実施の形態の半導体 装置が、ペース用半導体基板201の単位を固定する方 出について説明する。

特開平14-110951

8

は、第2のはんだボール806を介して他の半導体装置 と電気的に接続され、第2のはんだボール806を介し のポスト805、第2の導電局801を介してベース用 半導体基板201に供給される。よって、ベース用半導 体基板201の電位は、固定される。ここで、はんだボ **一ル212を介して供給された電圧は、ベース用半導体** 基板201に供給されず、導電圏210及び電極パッド て電圧が供給される。そして、供給された電圧は、第2 [0063] 本発明の第4の実施の形態の半導体装置 205を介して回路素子に供給される。

【0064】本発明の第4の実施の形態の半導体装置に よれば、本発明の第1の実施の形態の半導体装置におい て得られる効果 (1) ~ (2) 及び (4) に加え、以下 の効果を奏する。 【0065】(12)ペース用半導体基板210の電位 を固定するための第2の導電層801と、業子形成用半 導体基板203に設けられている回路素子と電気的に接 続されている導電層210とは、電気的に接続されてい ない。そのため、ベース用半導体基板210は、素子形 成用半導体基板203上に設けられる回路素子に関係な く、第2のはんだボール806を介して単位を得ること ができる。よって、本発明の第4の実施の形態の半導体 装置は、業子形成用半導体基板203.上に設けられるト ランジスタ等の回路素子に影響を与えることを防ぐこと ができる。

,

【0066】なお、図8 (b) に示すように、素子形成 領域110の第1の領域110aの案子形成用半導体基 板203と、第2の領域110bの案子形成用半導体基 板203との境界部分に、絶縁膜207bを設けてもよ い。それにより、エッジ領域120の絶数膜207aを 削除することができる。よって、図8(b)のエッジ領 域120は、図8 (a) のエッジ領域120に比べ、か なり狭く構成することができる。

[0067] (第5の実施の形態) 図9は、本発明の第 5の実施の形態の半導体装置に係わる図である。図9は 本発明の第5の実施の形態の半導体装置の構造を示して いる。なお、図9は、本発明の第5の実施の形態の半導 体装置のエッジ領域120及び装子形成領域110の第 2の領域110bの部分断面図である。

[0068] 図9に示すように、本発明の第5の実施の 形態の半導体装置では、エッジ領域120の封止部材2 13の厚さは、第2の領域110トの封止部材213の 厚さよりも厚く設けられている。よって、エッジ領域1 ている面積は、広くなっている。また、エッジ領域12 0の半導体装置の側面において、封止部材213の腐出 している面積は、広くなっている。よって、エッジ領域 20の封止部材213と第2の導電圏801とが接触し

20の第2の導動图801の戯出している面積は、狭

【0069】本発明の第5の実施の形態の半導体装置に よれば、本発明の第1、第2及び第4の実施の形態の半 尊体装置において得られる効果(1)~(2)、

坂120は、図9 (a) のエッジ領域120に比べ、か [0070] なお、図9 (b) に示すように、紫子形成 板203と、第2の領域110bの案子形成用半導体基 削除することができる。よって、図9(b)のエッジ顔 頚域110の第1の領域110aの菜子形成用半導体基 仮203との境界部分に、絶縁膜207bを設けてもよ い。それにより、エッジ領域120の絶縁膜201aを (4)、(7)~(8)及び(12)の効果を奏する。 なり狭く構成することができる。

している。なお、図10は、本発明の第6の実施の形態 【0071】 (第6の実施の形態) 図10は、本発明の 0 は本発明の第6の実施の形態の半導体装置の構造を示 の半導体装置のエッジ領域120及び案子形成領域11 第6の実施の形態の半導体装置に係わる図である。図1 0の第2の領域110bの部分断面図である。

【0012】図10に示すように、本発明の第6の実施 の形態の半導体装置では、エッジ領域120の封止部材 213は、第2の導電圏801の表面と、ベース用半導 エッジ領域120の封止部材213と第2の導電局80 は、封止部材213とペース用半導体基板201とが靍 1とが接触している面積は、広くなっている。 つまり、 体基板201の第1の面とに設けられている。よって、 本発明の第6の実施の形態の半導体装置のエッジ部分 出され、第2の導電局801は韓出されていない。

(4) 、 (10) ~ (11) 及び (12) の効果を姿す 蹲体装置において得られる効果 $(1) \sim (2)$ 、

【0073】本発明の第6の実施の形態の半導体装置に よれば、本発明の第1、第3及び第4の実施の形態の半 [0074] なお、図10(b)に示すように、素子形 成領域110の第1の領域110aの案子形成用半導体 **基板203と、第2の領域110bの案子形成用半導体** 基板203との境界部分に、絶縁膜207bを散けても よい。それにより、エッジ領域120の絶縁膜207a を削除することができる。よって、図10(b)のエッ ジ領域120は、図10 (a) のエッジ領域120に比

べ、かなり狭く構成することができる。

は、本発明の第7の実施の形態の半導体装置及びその製 造方法に係わる図である。図11は本発明の第7の実施 の形態の半導体装置の構造を示し、図12は本発明の第 なお、各図は、本発明の第1の実施の形態の半導体装置 のエッジ領域120及び案子形成領域110の第2の領 7の実施の形態の半導体装置の製造工程を示している。 【0075】 (第7の実施の形態) 図11及び図12 域110bの部分断面図である。

1という) と、例えばCu (鍋) からなる金属膜110/ 5。第3の薄電图1100は、例えばTi (チタン) か 体装置の構造を説明する。図11に示すように、本発明 00 (以下、第3の導電層1100という)を有してい らなる金属膜1101 (以下、第3のTi金属膜110 2 (以下、第3のCu金属膜1102という) とにより の第7の実施の形態の半導体装置は、第3の再配線11 【0076】初めに、本発明の第1の実施の形倣の半導

[0077] 第3のT i 金属膜1101は、ペース用半 導体基板201の第2の面(例えば、底面)と、絶縁膜 は、導電層210と電気的に接続されている。第3のC u 金属膜1102は、第3のTi金属膜1101の第2 の面 (例えば、底面) に設けられている。第3のCu金 国膜1102は、第3のT;金属膜1101と電気的に 207aの第2の面 (例えば、底面) と、T;金属膜2 ここで、エッジ領域120の第3のT;金属膜1101 08の第2の面 (例えば、底面) とに設けられている。 接続されている。

て得られる効果(1)~(4)に加え、以下の効果を奏 [0078] 本発明の第7の実施の形態の半導体装置に よれば、本発明の第1の実施の形態の半導体装置におい

[0079] (13) 第3の導電图1100は、ペース 用半導体基板201の第2の面と、絶縁膜207aの第 2の面と、Ti金属膜208の第2の面とに設けられて は、はんだボール212を介して供給された遺圧を、第 全体に供給することができる。また、本発明の第7の実 施の形態の半導体装置は、はんだボール212を介して ①圧が供給されない場合でも、第3の導電器1100を 用いてペース用半導体基板201に電圧を供給すること いる。よって、本発明の第7の実施の形態の半導体装置 3の導電層1100を介してベース用半導体基板201 ができる。

5。ここで、図12の工程は、図4 (d) の工程の後に 行うことを開示している。しかし、本発明の第7の実施 程と図4 (d) の工程の間に、図12に示す工程を行な 【0080】次に、本発明の第7の実施の形態の半導体 の形態の半導体装置を製造する方法は、図4 (c)の工 装置を製造する方法について、図12を用いて説明す うことも可能である。

07aと、エッジ領域120のTi金属膜208が露出 [0081] 初めに、図12 (a) に示すように、ダイ シングブレードを用いて、エッジ領域120の絶縁膜2 するまで、ペース用半導体基板201の第2の面全体を

[0082] 次に、図12 (b) に示すように、スパッ タ法を用いて、削られたベース用半導体基板201の第 2の面と、露出された絶縁膜207a及びTi 金属膜2 08とに第3のTi金属膜1101を設ける。

9法を用いて、第3のTi金属膜1101の裏面に、第 |0083|| 次に、図12 (c) に示すように、スパッ 3のCu金属膜1102を散ける。 [0084] 本発明の第7の実施の形態の半導体装置の 製造方法によれば、本発明の第1の実施の形態の半導体 装置の製造方法において得られる効果 (5) 及び (6) [0085] (第8の実施の形態) 図13は、本発明の 3は、本発明の第8の実施の形態の半導体装置の構造を 示している。なお、図13は、本発明の第8の実施の形 態の半導体装置のエッジ領域120及び案子形成領域1 第8の実施の形態の半導体装置に係わる図である。図1 10の第2の領域110bの部分断面図である。

【0086】図13に示すように、本発明の第8の実施 の形態の半導体装置は、本発明の第2の実施の形態の半 尊体装置のベース用半導体基板201の第2の面に、第 3の導電路1100を設けている。

3) を奨する。

よれば、本発明の第1、第2及び第7の実施の形態の半 【0087】本発明の第8の実施の形態の半導体装置に **単体装置において得られる効果(1)~(4)、(7)** ~ (8) 及び (13) を鞍する。 [0088] (第9の実施の形態) 図14は、本発明の 4は、本発明の第9の実施の形態の半導体装置の構造を 示している。なお、図14は、本発明の第9の実施の形 第9の実施の形態の半導体装置に係わる図である。図1 態の半導体装置のエッジ領域120及び案子形成領域1 10の第2の領域110bの部分断面図である。 [0089] 図14に示すように、本発明の第9の実施 の形態の半導体装置は、本発明の第3の実施の形態の半 尊体装置のペース用半導体基板201の第2の面に、第 3の導電圏1100を設けている。

よれば、本発明の第1、第3及び第7の実施の形態の半 【0090】本発明の第9の実施の形態の半導体装置に 0) ~ (11) 及び (13) を奏する。

構造を示している。なお、図15は、本発明の第10の 実施の形態の半導体装置のエッジ領域120及び素子形 【0091】 (第100実施の形態) 図15は、本発明 図15は、本発明の第10の実施の形態の半導体装置の の第10の実施の形態の半導体装置に係わる図である。 成領域110の第2の領域110bの部分断面図であ

[0092] 図15に示すように、本発明の第10の実 施の形態の半導体装置は、本発明第4の実施の形態の半 導体装置のペース用半導体基板201の第2の面に、第 3の導電圏1100を設けている。 【0093】本発明の第10の実施の形態の半導体装置 によれば、本発明の第1、第4及び第7の実施の形態の 半導体装置において得られる効果(1)~(2)、 (4) 及び (12) ~ (13) を奏する。

図16は、本発明の第11の実施の形態の半導体装隘の 構造を示している。なお、図16は、本発明の第11の 実施の形態の半導体装置のエッジ領域120及び業子形 [0094] (第11の実施の形態) 図16は、本発明 の第11の実施の形態の半導体装置に係わる図である。 **収領域110の第2の領域110bの部分断面図であ**

特開平14-110951

<u>0</u>

[0095] 図16に示すように、本発明の第11の実 施の形態の半導体装置は、本発明第5の実施の形態の半 尊体装置のペース用半導体基板201の第2の面に、第 3の導電路1100を設けている。 【0096】本発明の第11の実施の形態の半導体装置 によれば、本発明の第1、第2、第4及び第7の実施の (2)、(4)、(7)~(8)及び(12)~(1] **形態の半導体装置において得られる効果 (1)~**

[0097] (第12の実施の形態) 図17は、本発明 図17は、本発明の第12の実施の形態の半導体装置の 構造を示している。なお、図17は、本発明の第12の **東施の形態の半導体装置のエッジ領域120及び茶子形** の第12の実施の形態の半導体装置に保わる図である。 成領域110の第2の領域110bの部分断面図であ

尊体装置のベース用半導体基板201の第2の面に、第 [0098] 図17に示すように、本発明の第12の実 **適の形態の半導体装置は、本発明第6の実施の形態の半** 3の海電路1100を設けている。

【0099】本発明の第12の実施の形態の半導体装置 こよれば、本発明の第1、第3、第4及び第7の実施の 形態の半導体装置において得られる効果 (1) ~

の形態に基づき具体的に説明したが、本発明は上記実施 【0100】以上本発明者によってなされた発明を実施 の形態に限定されるものではなく、その要旨を逸脱しな い範囲で種々変更可能であることはいうまでもない。 (2)、(4)及び(10)~(13)を奏する。

【発明の効果】本顧において開示される発明のうち代表 的なものによって得られる効果を簡単に説明すれば、以 下のとおりである。 [0101]

5ための導電層が設けられるエッジ領域を狭く構成する ことができる。よって、本発明は、従来の半導体装置に 比べ、より小型化させた半導体装置を提供することがで 【0102】本発明は、半導体装置の英面電位を固定す

[図画の簡単な説明]

の関係を示す平面図、及びAーA、線についての部分断 【図1】本発明の各実施の形態の半導体装置とウエハと

【図2】本発明の第1の実施の形態の半導体装置の構造 を示す部分断面図である。

【図14】本発明の第9の実施の形態の半導体装置の構 【図15】本発明の第10の実施の形態の半導体装置の 【図16】本発明の第11の実施の形態の半導体装置の 【図17】本発明の第12の実施の形態の半導体装置の

貴を示す部分断面図である。

(12)

【図3】本発明の第1の実施の形態の半導体装置の製造 工程を説明する部分断面図である。

【図4】本発明の第1の実施の形態の半導体装置の製造 工程を説明する部分断面図である。

構造を示す部分断面図である。

構造を示す部分断面図である。

【図5】本発明の第2の実施の形態の半導体装置の構造 を示す部分断面図である。

【図6】本発明の第2の実施の形態の半導体装置の製造 工程を説明する部分断面図である。

【図7】本発明の第3の実施の形態の半導体装置の構造 【図8】本発明の第4の実施の形態の半導体装置の構造 を示す部分断面図である。

【図9】本発明の第5の実施の形態の半導体装置の構造 を示す部分断面図である。

を示す部分断面図である。

【図10】本発明の第6の実施の形態の半導体装置の構 **告を示す部分断面図である。**

【図11】本発明の第7の実施の形態の半導体装置の構 **造を示す部分断面図である。**

【図12】本発明の第7の実施の形態の半導体装置の製 造工程を説明する部分断面図である。

【図13】本発明の第8の実施の形態の半導体装置の構 **造を示す部分断面図である。**

図1]

[符号の説明]

201 ベース用半導体基板

【図18】従来の半導体装置の構造を示す断面図であ

構造を示す部分断面図である。

埋め込み酸化膜 202

素子形成用半導体基板 203

絶祿膜 207

導電腦

ポスト 210

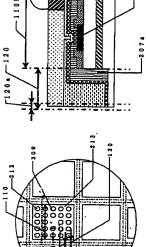
はんだボール 212

第2の導電層 第2のポスト 801 805

806 第2のはんだボール

1100 第3の英亀層

[図]



350

3

